

제 15 장

연산증폭기

1. 목적

연산증폭기는 아날로그 회로설계를 혁신시킨 선형 집적회로이다. 연산증폭기의 특성과 반전증폭, 비반전증폭, 적분회로를 실험한다.

2. 사용기기 및 부품

사용기기	부 품
오실로스코프 1대	저항(1/4W) : 각 1개 1K Ω , 10K Ω 100K Ω
디지털 멀티미터 1대	캐패시터 : 0.01 μ F 1개
함수발생기 1대	연산증폭기 : 1개

3. 이론

연산증폭기의 명칭은 이 증폭기가 원래는 더하기, 빼기, 미분, 적분 등의 여러 가지 수학적 연산을 수행하는데 사용하였기 때문에 생겨났다. 그러나 지금은 신호증폭, 신호조절과 필터, 신호처리, 신호발생기 및 특별한 목적의 제어회로 등의 광범위한 응용범위에서 사용되고 있다.

연산증폭기는 큰 입력저항과 낮은 출력저항을 가지는 고이득 증폭기이다. 즉, 연산증폭기는 원래의 신호에 큰 영향을 주지 않고 신호원(signal source)에 직접 연결가능하며 광범위한 주파수 대역의 입력신호를 크게 증폭할 수도 있으며 원래의 신호원보다 훨씬 큰 부하를 부담할 수도 있다.

그림 15-1은 연산증폭기의 간략화 된 등가회로를 나타낸다. 이 모델은 연산증폭기가 증폭이득이 A 인 전압 증폭소자임을 나타낸다. 그림 15-1의 입력단자 측에서는

$$v_1 - v_2 = i_1 R_{in} \quad (15.1)$$

출력단자 측에서는

$$v_o = A(v_1 - v_2) - i_o R_{out} \quad (15.2)$$

의 관계가 성립한다.

이상적인 연산증폭기에 대한 간략화한 개념도가 그림 15-2에 주어져 있다.

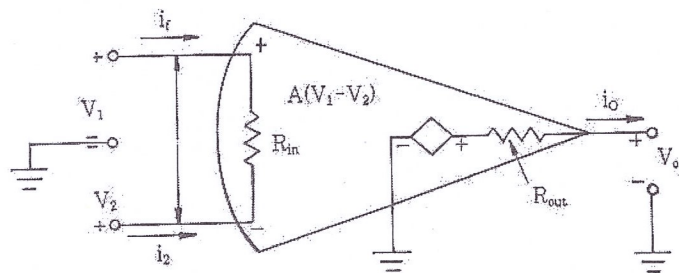


그림 15-1 간략한 등가회로

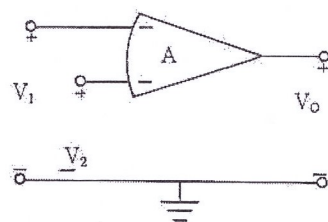


그림 15-2 이상적인 연산 증폭기

이상적인 연산증폭기는 다음의 특성을 가지고 있으며 이 특성은 회로계산을 간략화하는데 자주 사용된다.

연
안
정
사
이
호
는
폭
기
트
란
안
정

연
안
정
사
이
호
는
폭
기
트
란
안
정

3.1

그
고
조
건

	이상적인 증폭기	실제 증폭기
증폭이득	∞	$10^5 - 10^9$
입력저항	∞	1-10 M Ω
출력저항	0	50-75 Ω
오프셋 전압	0	15mV
대역폭	∞	0-500 kHz

표15-1 연산증폭기의 특성

연산증폭기는 여러 가지 방법으로 연산증폭기에 회로소자들을 연결하여 감쇄, 안정화될 수 있는 매우 큰 이득을 가지고있다. 증폭기 출력전압은 입력과 출력 사이에 저항, 캐패시터 혹은 다른 소자들을 연결하여 피드백 할 수있다. 입력신호는 신호원으로 부터의 신호와 피드백 신호에 의해 결정된다. 증폭비는 연산증폭기 주위의 수동소자들에 의해서만 결정된다. 이 사실은 이런 수동소자들이 트랜지스터와 같은 능동소자 보다 오랜 기간 안정하고 온도의 변화에 대해서도 안정하기 때문에 중요하다.

3.1 반전증폭회로

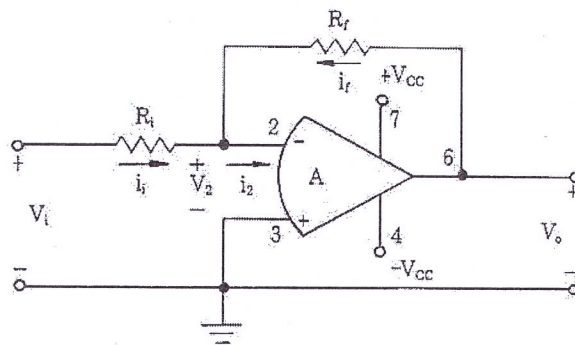


그림 15-3 반전 증폭회로

그림 15-3은 반전 증폭회로를 나타낸다. 연산증폭기가 이상적인 특성을 가지고 있다고 가정하고 수동소자들의 값과 증폭비와의 관계를 알아보자. 이상적인 조건하에서는 입력저항이 무한대이기 때문에 i_2 는 0이되고 출력저항이 0이므로

$v_0 = -A v_2$ 이 된다. 그러므로 R_i 를 흐르는 전류와 R_f 를 흐르는 전류는 $i_i = -i_f$ 의 관계가 성립한다. 따라서

$$\frac{(v_i - v_2)}{R_i} = -\frac{(v_o - v_2)}{R_f} \quad (15.3)$$

식 (15.3)에서 $v_0 = -A v_2$ 를 이용하여 v_2 를 소거하면

$$\text{전압 증폭비 } G = \frac{v_0}{v_i} = -A \frac{R_f}{R_i} + R_f + A R_i \quad (15.4)$$

또한

$$A R_f \gg R_i + R_f \quad (15.5)$$

의 관계가 성립하므로 입력전압에 대한 출력 전압의 비는

$$\frac{v_o}{v_i} = G = -\frac{R_f}{R_i} \quad (15.6)$$

회로의 이득 $\left| \frac{v_0}{v_i} \right|$ 는 연산증폭기의 특성과는 무관하고 피드백부분과 입력부분에 있는 저항에 따라 결정된다.

가중합산회로는 그림 15-4 처럼 연산증폭기의 반전 입력단자에 추가의 저항을 연결하여 얻을 수 있다. 출력은

$$v_o = -\frac{R_f}{R_a} v_a - \frac{R_f}{R_b} v_b - \frac{R_f}{R_c} v_c \quad (15.7)$$

으로 주어진다.

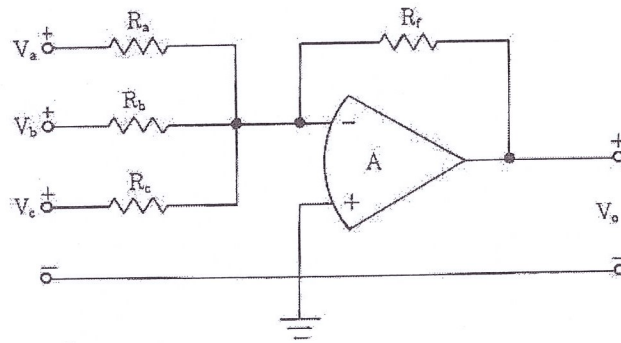


그림 15-4 가중 합산회로

3.2 비반전 증폭회로

비반전 증폭회로가 그림 15-5에 주어져 있다.

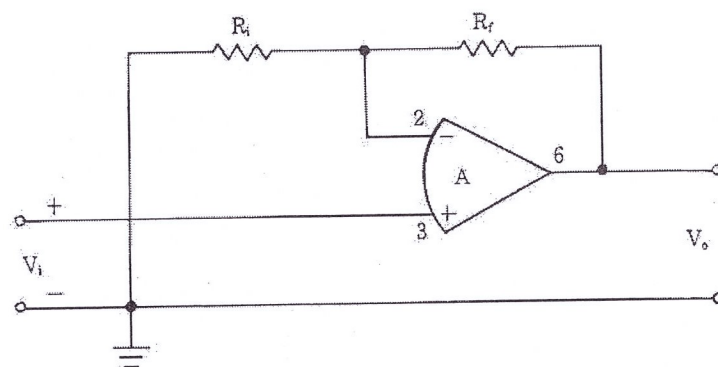


그림 15-5 비반전 증폭회로

3.3 전압 팔로워 회로

그림 15-6은 전압 팔로워회로를 나타낸다. 이 회로는 비반전 증폭회로에서 $R_i = \infty$ 이고 $R_f = 0$ 인 경우이다. 이 전압 팔로워회로는 입력 임피던스가 아주 크고 출력 임피던스가 아주 적기 때문에 높은 출력 임피던스의 장비를 낮은 임피던스의 레코더에 연결할 때 널리 사용된다.

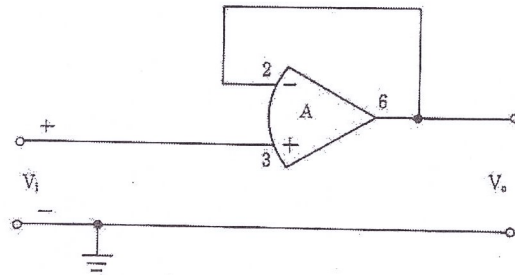


그림 15-6 전압 팔로워 회로

3.4 적분 회로

그림 15-7에 주어진 적분회로는 그림 15-3의 회로에서 R_f 를 캐패시터로 대체한 것과 같다. 캐패시터를 흐르는 전류 i_f 는

$$i_f = C \frac{d(v_0 - v_2)}{dt} \quad (15.8)$$

이고 $i_f = -i_i$ 이므로

$$\frac{v_2 - v_1}{R_i} = C \frac{d(v_0 - v_2)}{dt} \quad (15.9)$$

이 된다. $v_2 = 0$ 으로 두고 식(15.9)를 적분하고 v_0 에 관하여 풀면

$$v_0 = -\frac{1}{R_i C} \int_0^t v_i dt \quad (15.10)$$

으로 주어진다. 미분회로는 그림 15-7의 적분회로에서 R_i 와 C 의 위치를 서로 바꾸면 얻어진다.

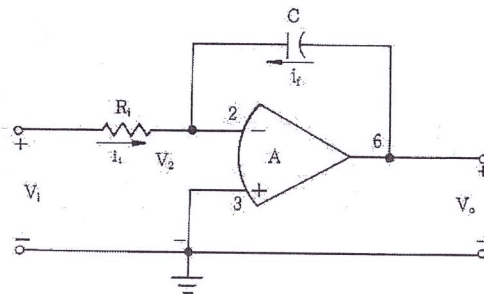


그림 15-7 적분회로

4. 예비 보고서

실험 15-A 반전 증폭회로

- (1) 그림 15-4의 회로에서 출력전압이 식(15-7)이 됨을 보여라.

실험 15-B 비반전 증폭회로

- (1) 반전 증폭회로의 내용에 기술된 기법을 사용하여 그림 15-5에 주어진 비반전 증폭회로를 해석하여라. 즉, 이득이 $G = \frac{V_o}{V_i} = 1 + \frac{R_f}{R_i}$ 로 주어짐을 보여라.

실험 15-C 전압 팔로워 회로

- (1) 그림 15-6에 주어진 전압 팔로워회로의 이득을 계산하여라.

실험 15-D 적분회로

- (1) 그림 15-11의 회로에서 v_o 를 구하여라.

(2) ① $v_i = 1000 \text{ Hz}$, $1 V_{p-p}$ 정현파

② $v_i = 1000 \text{ Hz}$, $1 V_{p-p}$ 구형파

③ $v_i = 1000 \text{ Hz}$, $1 V_{p-p}$ 삼각파 일때 v_o 를 구하여라.

5. 실험 및 결과

실험 15-A 반전 증폭회로

실험제목	실험 15-A 반전 증폭회로	검인 및 평가
실험일자	년 월 일 ()	

- (1) $R_i = 1000\Omega$, $R_f = 10K\Omega$ 을 사용하여 그림 15-8의 회로를 구성하여라.

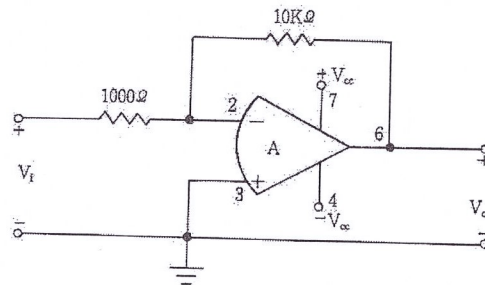


그림 15-8 반전증폭회로

- (2) 반전단자에 표 15-2에 주어진 주파수와 $1 V_{p-p}$ 정현파를 인가하여라. 반전 증폭회로의 전압이득을 측정하여 표 15-2에 기록하여라.

입력주파수	$v_o (V_{p-p})$	$G = v_o / v_i$ (측정치)
1000Hz		
5000Hz		
500Hz		
100Hz		

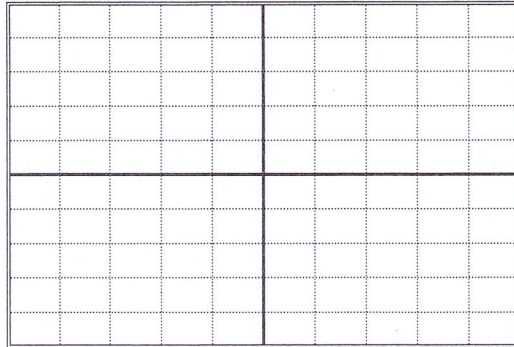
표 15-2 전압이득

- (3) 입력전압의 주파수는 1000Hz로 고정하고 출력전압의 파형이 찌그러질 때까지 입력전압의 크기를 증가시켜라. 이때 첨두간 출력전압은?

$$v_i = (\quad) V_{p-p}$$

$$v_o = (\quad) V_{p-p}$$

- (4) 입력전압이 1000Hz, $1V_{p-p}$ 의 구형파를 사용하였을 때 v_i 와 v_o 를 2현상
측정 방법으로 오실로스코프에 나타내어라.



CH1 _____ V/DIV

CH2 _____ V/DIV

_____ SEC/DIV

- (5) 그림 15-8의 회로에서 v_i 에 1000Hz 실효치 1V인 정현파를 인가하고
 v_2 를 측정하여 입력 임피던스를 아래의 방법으로 측정하여라.

$$v_2 = (\quad) V_{rms}$$

$$i_i = \frac{(v_i - v_2)}{R_i} = (\quad) mA$$

$$R_{in} = \frac{v_i}{i_i} = (\quad) \Omega$$

■ 검토

(1) 실험 및 결과 (2)에서 측정된 전압이득과 계산치를 비교하라.

(2) 주파수가 증가함에 따라 측정된 전압이득은 어떻게 변화하는가.

실험 15-B 비반전 증폭회로

실험제목	실험 15-B 비반전 증폭회로	검인 및 평가
실험일자	년 월 일 ()	

- (1) 그림 15-9의 회로에서 v_i 에 주파수 1000Hz $1V_{p-p}$ 을 인가하여라.

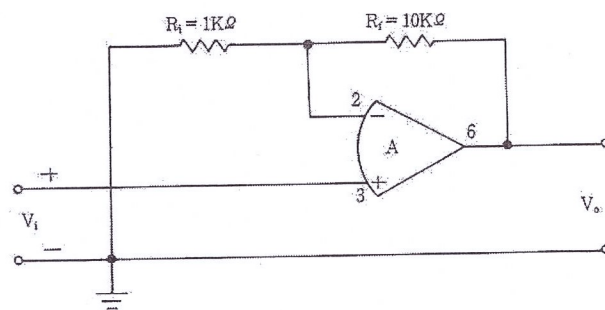
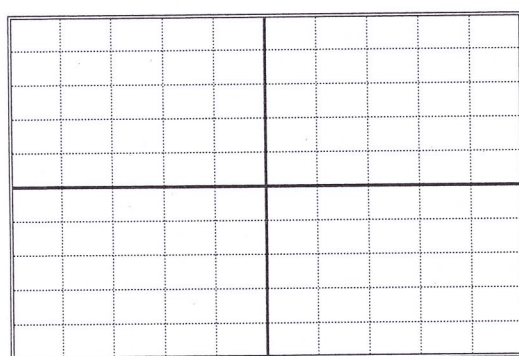


그림 15-9 비반전 증폭회로

- (2) v_i 와 v_o 를 2현상측정방법으로 오실로스코프에 나타내어라.



CH1 _____ V/DIV
 CH2 _____ V/DIV
 _____ SEC/DIV

실험 15-C 전압 팔로워 회로

실험제목	실험 15-C 전압 팔로워 회로	검인 및 평가
실험일자	년 월 일 ()	

- (1) 그림 15-10의 회로에서 v_i 에 주파수 1000Hz $1V_{p-p}$ 정현파를 인가하여라.

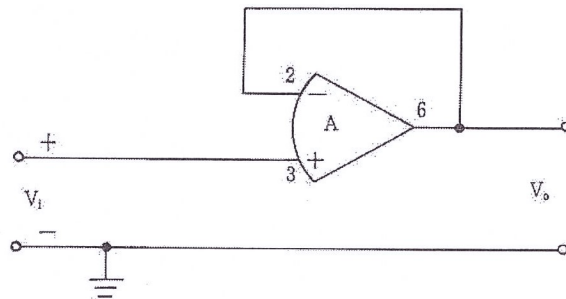
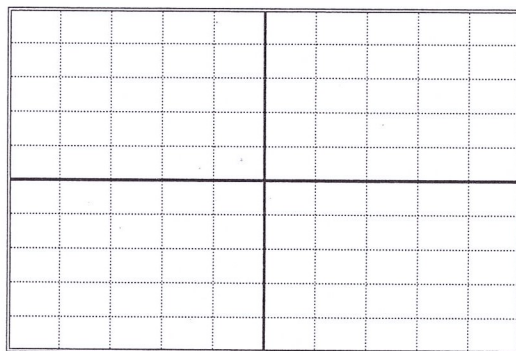


그림 15-10 전압 팔로워 회로

- (2) v_i 와 v_o 를 2현상측정방법으로 오실로스코프 상에 나타내어라.



CH1 _____ V/DIV
 CH2 _____ V/DIV
 _____ SEC/DIV

- (3) 표 15-3의 주파수값에 대하여 $v_i = 1V_{p-p}$ 을 인가하여 v_o 를 측정하여라.

주파수 (KHz)	1	10	20	30	40	50	60	70	80	90	100
V_o (V_{p-p})											

표 15-3 주파수의 변화에 따른 V_o

■ 검토

(1) 실험 및 결과 (3)의 결과로부터 3dB 대역폭 $\left(\left| \frac{V_o}{V_i} \right| = \frac{1}{\sqrt{2}} \right)$ 인 주파수를 구하여라.

(2) 전압 팔로워의 응용 예를 열거하여라.

실

[

(1)

(2)

실험 15-D 적분 회로

실험제목	실험 15-D 적분 회로	검인 및 평가
실험일자	년 월 일 ()	

- (1) 그림 15-11에 주어진 적분회로를 구성하여라. (이 적분회로는 캐패시터와 병렬로 저항값이 큰 저항($100k\Omega$)을 연결하여 안정화한 회로이다.)

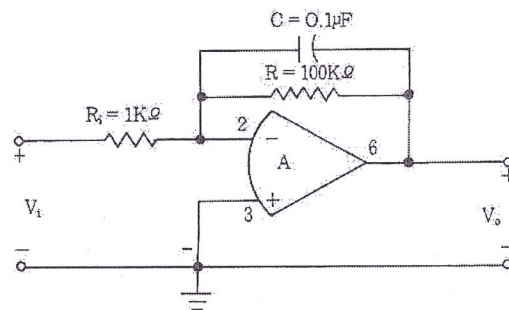
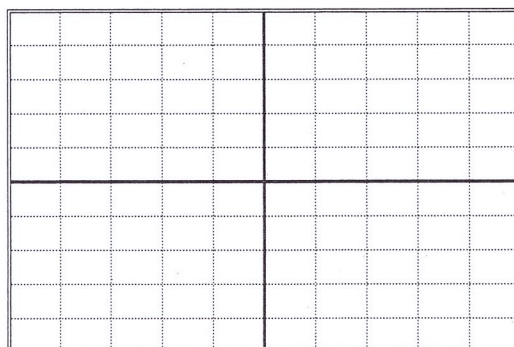


그림 15-11 적분회로

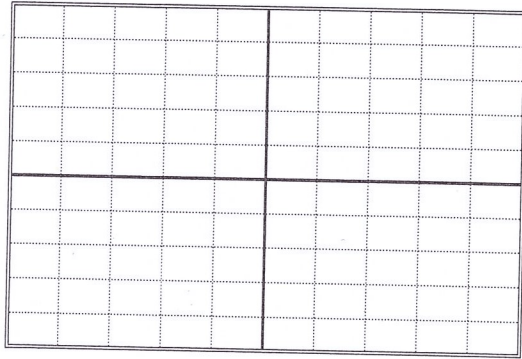
- (2) V_i 에 아래의 파형을 인가하여 V_i 와 V_o 를 2현상측정방법으로 오실로스코프에 나타내어라.

- ① $V_i = 1000Hz$ $1V_{p-p}$ 정현파



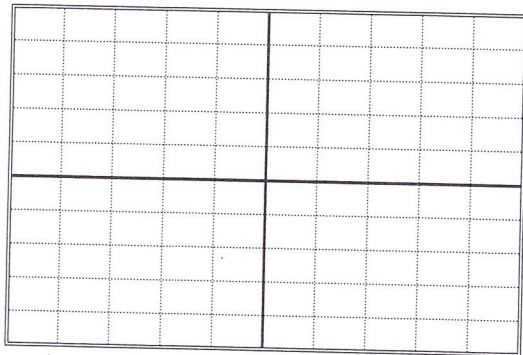
CH1 _____ V/DIV
 CH2 _____ V/DIV
 _____ SEC/DIV

② $v_i = 1000\text{Hz}$ 1 V_{p-p} 구형파



CH1 _____ V/DIV
 CH2 _____ V/DIV
 _____ SEC/DIV

③ $v_i = 1000\text{Hz}$ 1 V_{p-p} 삼각파



CH1 _____ V/DIV
 CH2 _____ V/DIV
 _____ SEC/DIV

■ 검토

(1) 이 증폭기는 적분을 수행하는 이외에 신호의 부호를 반전시키는가?

(2) 예비보고서 (2)에서 구한 v_o 와 실험 및 결과 (2)에서 측정한 v_o 가 일치하는가?

부록 2 연산증폭기(741) 데이터

KA741/E/I

SINGLE OPERATIONAL AMPLIFIER

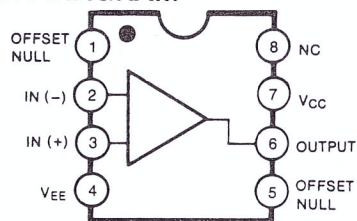
SINGLE OPERATIONAL AMPLIFIERS

The KA741 series are general purpose operational amplifiers which feature improved performance over industry standards like the KA709. It is intended for a wide range of analog applications. The high gain and wide range of operating voltage provide superior performance in integrator, summing amplifier, and general feedback applications.

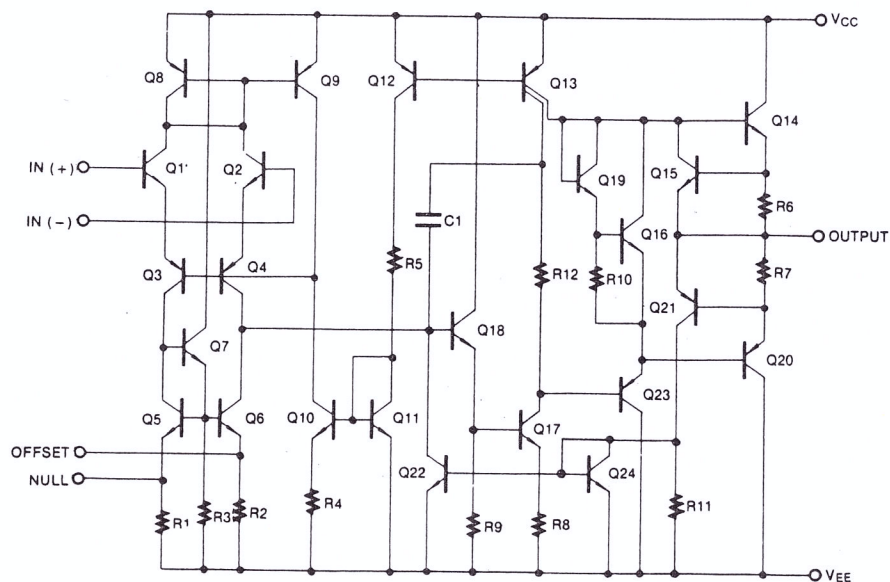
FEATURES

- Short circuit protection
- Excellent temperature stability
- Internal frequency compensation
- High input voltage range
- Null of offset

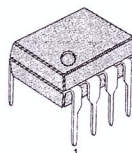
BLOCK DIAGRAM



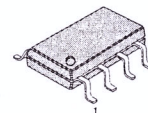
SCHEMATIC DIAGRAM



8 DIP



8 SOP



ORDERING INFORMATION

Device	Package	Operating Temperature
KA741E KA741	8 DIP	0 ~ +70°C
KA741ED KA741D	8 SOP	
KA741I KA741EI	8 DIP	-40 ~ +85°C
KA741ID KA741EID	8 SOP	